



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001175530 A**(43) Date of publication of application: **29.06.01**

(51) Int. Cl.

**G06F 12/00****G06F 12/06****G06F 13/362**(21) Application number: **11364126**(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**(22) Date of filing: **22.12.99**(72) Inventor: **KAWASAKI TOMOYUKI****(54) DEVICE AND METHOD FOR ARBITRATING MEMORY ACCESS**

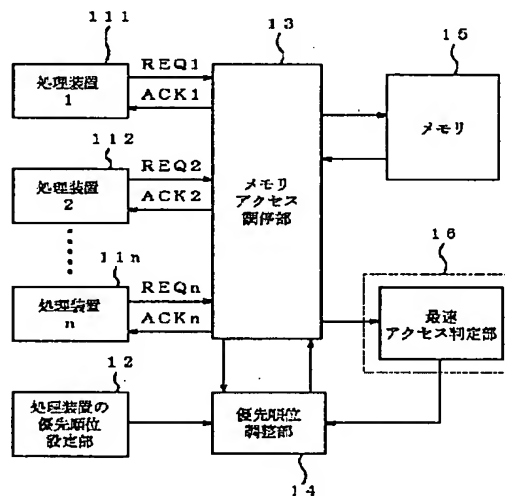
mutually compete, the combination of quickest access is judged and priority is successively controlled.

(57) Abstract:

COPYRIGHT: (C)2001,JPO

**PROBLEM TO BE SOLVED:** To most speedily perform memory access at all the time even if a difference in the kind of access to a memory between respective processors, which request access, exists when the request signals of access to the memory compete with each other.

**SOLUTION:** This device is provided with a priority control means 14 for controlling the accept ranking of access request signals REQ1-REQn outputted from plural processors 111-11n according to a value showing prescribed access priority, a memory access arbitrating means 13 for returning a memory use permit signal ACKn to one arbitrated processor of the access request signal output source, and a quickest access judging means 16 for calculating total access time for every combination of all the access request signals on the basis of predetermined basic access time when the access request signals compete and reporting the number of the processor corresponding to a minimum value found by comparing respective values to the priority control means 14. Thus, when the access request signals



1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-175530  
(P2001-175530A)

(43) 公開日 平成13年6月29日 (2001. 6. 29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G 0 6 F 12/00	5 7 1	G 0 6 F 12/00	5 7 1 B 5 B 0 6 0
12/06	5 5 0	12/06	5 5 0 A 5 B 0 6 1
13/362	5 1 0	13/362	5 1 0 E

審査請求 未請求 請求項の数18 O L (全 18 頁)

(21) 出願番号 特願平11-364126

(22) 出願日 平成11年12月22日 (1999. 12. 22)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町一丁目403番  
53

(72) 発明者 川崎 智之

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム (参考) 5B060 CA03 CA12 CD14

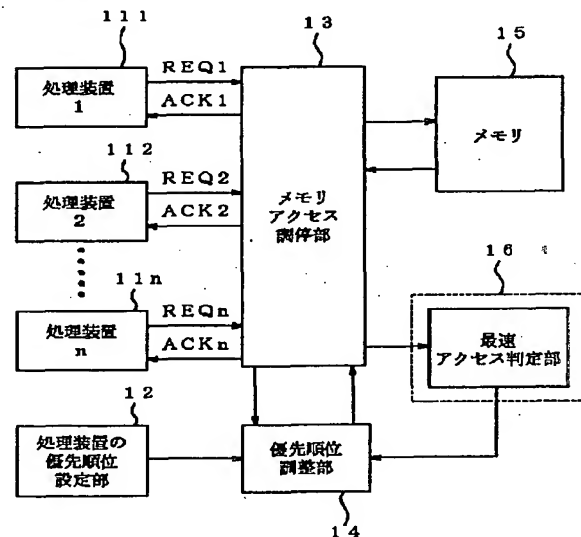
5B061 BA01 BB16 BC02 PP00 RR03

(54) 【発明の名称】 メモリアクセス調停装置およびメモリアクセス調停方法

(57) 【要約】

【課題】メモリへのアクセス要求信号が競合した場合、要求を出した各処理装置間にメモリへのアクセス種類の違いがあっても常に最速にメモリアクセスする。

【解決手段】所定のアクセス優先順位を示す値に従って複数の処理装置111~11nから出力されるアクセス要求信号REQ1~nの受付順位を調停する優先順位調整手段14と、調停された1つのアクセス要求信号出力元の処理装置に対してメモリ使用許可信号ACKnを送り返すメモリアクセス調停手段13と、予め定めた基本アクセス時間に基づき、アクセス要求信号が競合した場合に全てのアクセス要求信号の組み合わせごとに総合アクセス時間を算出し、それぞれの値を比較して求めた最小値に対応した処理装置の番号を優先順位調整手段14に通知する最速アクセス判定手段16を備え、この手段によりアクセス要求信号が競合したときに、アクセスが最速な組み合わせを判定し優先順位を随時調整する。



## 【特許請求の範囲】

【請求項1】 所定のアクセス優先順位を示す値に従って複数の処理装置から出力されるアクセス要求信号の受付順位を調停する優先順位調整手段と、調停された1つのアクセス要求信号出力元の前記処理装置に対してメモリ使用許可信号を送り返すメモリアクセス調停手段と、予め定めた基本アクセス時間に基づき、前記アクセス要求信号が競合した場合に全てのアクセス要求信号の組み合わせごとに総合アクセス時間を算出するとともに、算出したそれぞれの値を比較して求めた最小値に対応した前記処理装置の番号を前記優先順位調整手段に通知する最速アクセス判定手段とを備え、前記最速アクセス判定手段により前記アクセス要求信号が競合したときに、アクセスが最も速くなる前記組み合わせを判定し優先順位を随時調整することとを特徴とするメモリアクセス調停装置。

【請求項2】 前記最速アクセス判定手段は、現在アクセス中のメモリに対する最後のプリチャージから次のアクセス時の最後のプリチャージまでの間のクロック数を前記基本アクセス時間として予め設定され保持する基本アクセス値設定部と、現在のアクセス状態としての前記リード／ライト情報およびバンク情報を入力し保持するアクセス状態保持部と、複数の前記処理装置のアクセス要求信号が前記メモリへアクセスするときにとり得る2組のアクセス時間を、前記基本アクセス値から求める基本アクセス時間算出部と、求めた2組のアクセス時間を基に対応するそれぞれの前記処理装置がとり得る全ての組み合わせの総合アクセス時間を算出する加算部と、算出した総合アクセス時間を比較した最小値を求める比較部と、求めた最小値に対応する前記処理装置の番号を抽出する選択部とを備える請求項1記載のメモリアクセス調停装置。

【請求項3】 前記基本アクセス値設定部および前記アクセス状態保持部が1個と、前記基本アクセス時間算出部が $n \times n$  ( $n$ は2以上の整数)個と、前記加算部が $n!$ 個と、前記比較手段および前記選択手段が1個とを、前記最速アクセス判定手段にそれぞれ設ける請求項2記載のメモリアクセス調停装置。

【請求項4】 前記アクセス状態保持部は、データ入力端が複数の前記処理装置全てのリード／ライト情報およびバンク情報の対応する出力端にそれぞれ接続され、クロック入力端が前記メモリアクセス調停手段のメモリ使用許可信号出力端に接続され、リード／ライト情報およびバンク情報それぞれの出力端が複数の前記基本アクセス時間算出部に接続される請求項3記載のメモリアクセス調停装置。

【請求項5】 前記基本アクセス時間算出部は、前記アクセス状態保持部で保持する保持バンク情報または前記処理装置のうちの1つのバンク情報と前記処理装置のうちに次にアクセスする装置のバンク情報とを比較し比較結

果を出力する比較回路と、前記比較結果および前記リード／ライト情報または前記処理装置のうちの1つのリード／ライト情報と前記処理装置のうちに次にアクセスする装置のリード／ライト情報とにそれぞれ応答して、前記基本アクセス値のうちの所定の1つを選択する選択回路とを有する請求項2記載のメモリアクセス調停装置。

【請求項6】 前記アクセス状態保持部のリード／ライト情報出力およびバンク情報出力は、 $n \times n$ 個の前記基本アクセス時間算出部のうち $1/n$ 個の基本アクセス時間算出部に対して与えられ、2組の前記処理装置から出力されるアクセス要求信号の組み合わせのうち、前記処理装置が実行中に、連続して前記処理装置及び他の処理装置からアクセスする時に対応する請求項2記載のメモリアクセス調停装置。

【請求項7】 前記基本アクセス値設定部が保持する前記基本アクセス値は、設定された前記基本アクセス値のうちの最小の値を各基本アクセス値ごとにさらに減算して求めた差分値とする請求項2記載のメモリアクセス調停装置。

【請求項8】 前記基本アクセス値のうちの所定の1つを選択する前記選択回路は、現在のアクセスおよび次のアクセスが同一バンク時であれば全てのアクセスで第1の値として選択し、異なるバンクでかつ現在アクセス中のリード要求と同じ要求であれば第2の値として選択し、異なるバンクでかつ現在のリード要求と異なる要求であれば第3の値として選択し、異なるバンクでかつ現在アクセス中のライト要求と同じ要求であれば第4の値として選択し、異なるバンクでかつ現在のライト要求と異なる要求であれば第5の値として選択する請求項2記載のメモリアクセス調停装置。

【請求項9】 前記最小値が複数存在するときは、前記優先順位調整手段に予め設定された前記処理装置の優先順位に従って、最も高い優先順位に対応する前記最小値を選択する請求項2記載のメモリアクセス調停装置。

【請求項10】 前記総合アクセス時間の加算部は、 $n!$ 通りのアクセス順序ごとにその順序内における $n$ 通りの2組のアクセス要求信号間の基本アクセス値として、前記第1から前記第5の値のいずれかを選択し、選択した値を前記アクセス順序ごとに合計した値を前記総合アクセス時間として算出する請求項8記載のメモリアクセス調停装置。

【請求項11】 前記メモリアクセス調停手段と前記優先順位調整手段とに代えて、複数の前記処理装置から出力されるアクセス要求信号に従って、先に要求のあったものから順に $m$  ( $m$ は1以上の整数)個 ( $m < n$ )の前記処理装置を選択するための選択信号を生成する選択信号生成手段と、複数の前記処理装置それぞれの前記アクセス要求信号と前記リード／ライト情報と前記バンク情報とからなる $n$ 本の信号線のうち、前記選択信号の指示する前記 $m$ 個の前記アクセス要求信号と前記リード／ラ

イト情報と前記バンク情報とを選択して、前記最速アクセス判定手段に出力する処理要求選択手段とを有する請求項1記載のメモリアクセス調停装置。

【請求項12】 前記 $m$ 個の前記アクセス要求信号を、前記最速アクセス判定手段が有するアクセス状態保持部の同期クロックとする請求項11記載のメモリアクセス調停装置。

【請求項13】 前記最速アクセス判定手段が、前記選択部で抽出された前記処理装置の番号を選択信号とする選択手段により選択された前記 $m$ 個の前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とを入力するとともに、前記 $m$ 個の前記アクセス要求信号を前記アクセス状態保持部の同期クロックとする請求項11記載のメモリアクセス調停装置。

【請求項14】 前記選択信号生成手段は、前記アクセス要求信号のうち、先に到着した方から順番に優先順位をダイナミックに変更する優先順位変更部と、この優先順位変更部が出力する優先順位変更信号にตอบสนองして優先順位変更信号の指示する順番に選択制御信号を出力する優先順位設定値保持部と、 $n$ 個の前記アクセス要求信号をデコードして $m$ 個の制御信号を出力するデコード回路部とを有する請求項11記載のメモリアクセス調停装置。

【請求項15】 前記処理要求選択手段は、前段の $n$ 個の選択回路と、後段の $m$  ( $m < n$ ) 個の選択回路とからなり、前段の選択回路はそれぞれ並列に接続され複数の前記処理装置から前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とを1組とする $n$ 組の信号がそれぞれ与えられ、これら $n$ 組の信号から $m$ 組を選択して後段の選択回路に出力するとともに、前記アクセス要求信号を前記デコード回路に出力し、前記後段の選択回路はそれぞれの回路ごとに前記前段の選択回路から与えられた $m$ 組の信号を、前記デコード回路の出力する $m$ 個の制御信号の順位にตอบสนองして、前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とを1組とする $m$ 組の信号としてそれぞれ順番に出力する請求項11記載のメモリアクセス調停装置。

【請求項16】 前記選択信号生成手段は、予め設定される複数の前記処理装置の優先順位値を格納する優先順位設定値保持部のみを有し、その格納された優先順位値のうち優先順位の高い順に前記 $m$ 個を選択する請求項14記載のメモリアクセス調停装置。

【請求項17】 現在アクセス中のメモリに対する最後のプリチャージから次のアクセス時の最後のプリチャージまでの間のクロック数を基本アクセス時間として予め設定され保持する基本アクセス値設定部と、現在のアクセス状態としてのリード/ライト情報およびバンク情報を入力し保持するアクセス状態保持部と、複数の処理装置のアクセス要求信号が前記メモリへアクセスするときにとり得る2組のアクセス時間を、前記基本アクセス値

から求める基本アクセス時間算出部と、求めた2組のアクセス時間を基に対応するそれぞれの処理装置がとり得る全ての組み合わせの総アクセス時間を算出する加算部と、算出した総アクセス時間を比較した最小値を求める比較部と、求めた最小値に対応する前記処理装置の番号を抽出する選択部とを備える最速アクセス判定手段とを用いて、前記基本アクセス値設定部に基本アクセス値を設定するとともに、前記基本アクセス時間算出部へ出力して待機する基本アクセス値設定処理と、実行中の第1の処理装置からアクセス要求信号が発生したか否かを発生するまで繰り返し判断し、発生すると次の基本アクセス時間算出処理へ進むアクセス要求信号発生判断処理と、メモリアクセス調停部からアクセス許可信号を受けて、現在実行中の前記第1の処理装置の前記バンク情報と前記リード/ライト情報とを前記アクセス状態保持部に保持し、保持されたバンク情報と次にアクセスする第2の処理装置がアクセスするメモリのバンク情報とを前記基本アクセス時間算出部で比較させ、待機中の前記第2の処理装置からのアクセス要求信号であれば、その処理装置のバンク情報と第3の処理装置がアクセスするメモリのバンク情報とを比較させ、それぞれの比較結果により前記基本アクセス値を選択して出力させる基本アクセス時間算出処理と、選択された前記基本アクセス値に基づき、前記総アクセス時間を算出する加算部により処理装置がとり得る組み合わせの総アクセス時間を求める総アクセス時間算出処理と、求めた総アクセス時間値から、最も高速にアクセスできる組み合わせを判定し数値の最も小さいものを出力させる総アクセス時間比較処理とを有することを特徴とするメモリアクセス調停方法。

【請求項18】 基本アクセス時間算出処理は、前記第1の処理装置から、メモリの第1または第2のバンクへのバーストリード要求またはバーストライト要求を受けとりメモリ使用許可信号にตอบสนองして、前記アクセス状態保持部に格納し保持させるアクセス要求信号受付保持処理と、前記第2の処理装置からバンクおよびリード/ライトのアクセス要求があるまで待機するアクセス要求信号待機処理と、前記アクセス要求があると、前記アクセス状態保持部および複数の前記処理装置の中で、2組を抽出する処理を実行する比較すべき2組の抽出処理と、前記第1の処理装置のアクセス状態保持内容と前記第2の処理装置のアクセス情報との2組を抽出する処理において、前記アクセス状態保持部に保持された前記バンク情報と前記第2の処理装置からアクセス対象のバンク情報とを同じバンクかどうかを比較させ、その比較結果を前記選択回路へ出力するアクセス対象バンク比較処理と、比較結果が同じバンクの時は、前記基本アクセス値設定部に格納された第1の基本アクセス値を選択する同一バンク時の選択処理と、比較結果が異なるバンクの時は、比較結果のバンク情報と前記アクセス状態保持部に保持されたリード/ライト情報と前記第2の処理装置か

らのリード/ライト情報とにตอบสนองして、最初のアクセスがリード/ライトのいずれであるかを判断する第1のリード/ライトの判断処理と、判断結果がリードの時は、さらに次のアクセスがリード/ライトのいずれであるかを判断する第2のリード/ライトの判断処理と、判断結果がリードの時は、前記基本アクセス値設定部に格納された第2の基本アクセス値を選択するリード/ライト時の基本アクセス値選択処理と、判断結果がライトの時は、前記基本アクセス値設定部に格納された第3の基本アクセス値を選択するリード/ライト時の基本アクセス値選択処理と、最初のアクセスの判断結果がライトの時は、さらに次のアクセスがリード/ライトのいずれであるかを判断する第3のリード/ライトの判断処理と、判断結果がリードの時は、前記基本アクセス値設定部に格納された第4の基本アクセス値を選択するライト/リード時の基本アクセス値選択処理と、判断結果がライトの時は、前記基本アクセス値設定部に格納された第5の基本アクセス値を選択するライト/ライト時の基本アクセス値選択処理と、前記比較すべき2組の抽出処理から前記ライト/ライト時の基本アクセス値選択処理までを前記第1の処理装置に対して前記第2の処理装置の個数が終了するまで繰り返して実行する比較処理終了判断処理とを有する請求項13記載のメモリアクセス調停方法。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明はメモリアクセス調停装置およびメモリアクセス調停方法に係わり、特に複数の処理装置からアクセス要求信号が競合した場合に、最速な組み合わせ順を判定する最速アクセス判定部を設けてメモリアクセス速度性能を向上させることが出来るメモリアクセス調停装置およびメモリアクセス調停方法に関する。

#### 【0002】

【従来の技術】この種の従来のメモリアクセス調停装置は、例えば複数の処理装置からなるシステムにおいて、これら複数の処理装置が共有するメモリにアクセスする場合に用いられている。

【0003】これら複数の処理装置からランダムにメモリがアクセスされた場合、当然、処理装置同士が競合することになり、何らかの調整手段が必要になってくる。その調整手段としてメモリアクセス調停装置が従来から使用されている。

【0004】半導体素子の微細化技術の進展に伴い、これらの素子で構成されるLSIの処理速度も飛躍的に向上し、そのLSIを搭載した処理装置で構成するシステムにおいては高速でメモリアクセスを行うので、メモリアクセス調停装置も高速動作が要求されている。

【0005】上述した従来のメモリアクセス調停装置の一例が、特開平11-134290号公報に記載されている。同公報記載のメモリアクセス調停装置は、複数の

処理装置からアクセス要求信号が競合した場合に、予め設定された処理装置の優先順位に従ってメモリアクセスを調停し、優先順位の高いものから順にメモリへのアクセスを許可する技術が記載されている。

【0006】同公報記載のメモリアクセス調停装置の構成を示した図12を参照すると、このメモリアクセス調停装置は、処理装置111～11n（nは2以上の整数）と、処理装置の優先順位設定部12と、メモリアクセス調停部13と、優先順位調整部14とメモリ15とを備える。

【0007】メモリアクセス調停装置は、例えば、処理装置の優先順位設定部12に対し、予め処理装置111～11nの優先順位を設定しておく。

【0008】これらの処理装置111～11nは1からnまでのn個あり、システムの動作に伴い、処理装置111～11nから共有メモリに対してそれぞれ同時にアクセスする必要がある場合を考える。アクセスが生じた処理装置111～11nはそれぞれアクセス要求信号（REQ1～REQn）をそれぞれの信号線に出力してメモリアクセス調停部13に送信する。

【0009】アクセス要求信号（REQ1～REQn）を受けたメモリアクセス調停部13は、優先順位調整部14に対しアクセスがあったことを通知する。優先順位調整部14では、処理装置の優先順位設定部12に予め設定された優先順位の値に従ってアクセス要求を調停し、受け付けたアクセス要求信号（REQ1～REQn）の中から優先順位の最も高い処理装置のアクセス要求信号を1つ選択する。

【0010】その選択された1つのアクセス要求信号に対応する処理装置に対して、メモリアクセス調停部13はメモリ使用許可信号（ACK1～ACKn）のうち対応する1つのメモリ使用許可信号を送り返す。

【0011】選択されたメモリ使用許可信号を受け取った対応する1つの処理装置は、優先的にメモリ15へコマンドを送信しアクセスを行う。このコマンドは2種類あり、1つはメモリ15にデータを書き込むためのコマンドWRであり、他方は、メモリ15からデータを読み出すコマンドRDである。

【0012】選択された1つの処理装置以外の処理装置111～11（n-1）は自身がメモリ使用許可信号を受け取るまでは、それぞれアクセス要求信号（REQ1～REQ（n-1））を送出し続ける。

#### 【0013】

【発明が解決しようとする課題】上述した従来のメモリアクセス調停装置は、入力される複数のアクセス要求信号の中から、単一のアクセス要求信号を選択する。しかし、予め設定された処理装置の優先順位設定部12の内容に従って、全てのアクセス要求信号の中から一様に優先順位を決定している。そのため、それぞれの処理装置においてはメモリへのアクセス種類が必ずしも同一では

ないので、メモリへのアクセス種類の異なる処理装置のアクセス間でメモリへのアクセス種類の違いによる隙間ができてしまう。

【0014】その結果、ワード長の違いによるアクセス間の隙間により必要以上にアクセス時間が長くなってしまい、高速でメモリにアクセスすることが出来ないという問題がある。

【0015】本発明の目的は、上述した従来の欠点に鑑みなされたものであり、複数の処理装置からアクセス要求信号が競合した場合に、各処理装置間にワード長の違いがあっても最速な組み合わせ順を判定する最速アクセス判定部を設けてメモリアクセス速度性能を向上させることが出来るメモリアクセス調停装置およびメモリアクセス調停方法を提供することにある。

【0016】

【課題を解決するための手段】本発明のメモリアクセス調停装置の特徴は、所定のアクセス優先順位を示す値に従って複数の処理装置から出力されるアクセス要求信号の受付順位を調停する優先順位調整手段と、調停された1つのアクセス要求信号出力元の前記処理装置に対してメモリ使用許可信号を送り返すメモリアクセス調停手段と、予め定めた基本アクセス時間に基づき、前記アクセス要求信号が競合した場合に全てのアクセス要求信号の組み合わせごとに総合アクセス時間を算出するとともに、算出したそれぞれの値を比較して求めた最小値に対応した前記処理装置の番号を前記優先順位調整手段に通知する最速アクセス判定手段とを備え、前記最速アクセス判定手段により前記アクセス要求信号が競合したときに、アクセスが最も速くなる前記組み合わせを判定し優先順位を随時調整することにある。

【0017】また、前記最速アクセス判定手段は、現在アクセス中のメモリに対する最後のプリチャージから次のアクセス時の最後のプリチャージまでの間のクロック数を前記基本アクセス時間として予め設定され保持する基本アクセス値設定部と、現在のアクセス状態としての前記リード/ライト情報およびバンク情報を入力し保持するアクセス状態保持部と、複数の前記処理装置のアクセス要求信号が前記メモリへアクセスするときにとり得る2組のアクセス時間を、前記基本アクセス値から求める基本アクセス時間算出部と、求めた2組のアクセス時間を基に対応するそれぞれの前記処理装置がとり得る全ての組み合わせの総合アクセス時間を算出する加算部と、算出した総合アクセス時間を比較した最小値を求める比較部と、求めた最小値に対応する前記処理装置の番号を抽出する選択部とを備えることができる。

【0018】さらに、前記基本アクセス値設定部および前記アクセス状態保持部が1個と、前記基本アクセス時間算出部が $n \times n$  ( $n$ は2以上の整数)個と、前記加算部が $n!$ 個と、前記比較手段および前記選択手段が1個とを、前記最速アクセス判定手段にそれぞれ設けてもよ

い。

【0019】さらにまた、前記アクセス状態保持部は、データ入力端が複数の前記処理装置全てのリード/ライト情報およびバンク情報の対応する出力端にそれぞれ接続され、クロック入力端が前記メモリアクセス調停手段のメモリ使用許可信号出力端に接続され、リード/ライト情報およびバンク情報それぞれの出力端が複数の前記基本アクセス時間算出部に接続されてもよい。

【0020】また、前記基本アクセス時間算出部は、前記アクセス状態保持部で保持する保持バンク情報または前記処理装置のうちの1つのバンク情報と前記処理装置のうち次にアクセスする装置のバンク情報とを比較し比較結果を出力する比較回路と、前記比較結果および前記リード/ライト情報または前記処理装置のうちの1つのリード/ライト情報と前記処理装置のうち次にアクセスする装置のリード/ライト情報とにそれぞれ応答して、前記基本アクセス値のうちの所定の1つを選択する選択回路とを有することもできる。

【0021】さらに、前記アクセス状態保持部のリード/ライト情報出力およびバンク情報出力は、 $n \times n$ 個の前記基本アクセス時間算出部のうち $1/n$ 個の基本アクセス時間算出部に対して与えられ、2組の前記処理装置から出力されるアクセス要求信号の組み合わせのうち、前記処理装置が実行中に、連続して前記処理装置及び他の処理装置からアクセスする時に対応することもできる。

【0022】さらにまた、前記基本アクセス値設定部が保持する前記基本アクセス値は、設定された前記基本アクセス値のうちの最小の値を各基本アクセス値ごとにさらに減算して求めた差分値とすることもできる。

【0023】また、前記基本アクセス値のうちの所定の1つを選択する前記選択回路は、現在のアクセスおよび次のアクセスが同一バンク時であれば全てのアクセスで第1の値として選択し、異なるバンクでかつ現在アクセス中のリード要求と同じ要求であれば第2の値として選択し、異なるバンクでかつ現在のリード要求と異なる要求であれば第3の値として選択し、異なるバンクでかつ現在アクセス中のライト要求と同じ要求であれば第4の値として選択し、異なるバンクでかつ現在のライト要求と異なる要求であれば第5の値として選択することもできる。

【0024】さらに、前記最小値が複数存在するときは、前記優先順位調整手段に予め設定された前記処理装置の優先順位に従って、最も高い優先順位に対応する前記最小値を選択することでもよい。

【0025】さらにまた、前記総合アクセス時間の加算部は、 $n!$ 通りのアクセス順序ごとにその順序内における $n$ 通りの2組のアクセス要求信号間の基本アクセス値として、前記第1から前記第5の値のいずれかを選択し、選択した値を前記アクセス順序ごとに合計した値を前記



総アクセス時間として算出することもできる。

【0026】また、前記メモリアクセス調停手段と前記優先順位調整手段とに代えて、複数の前記処理装置から出力されるアクセス要求信号に従って、先に要求のあったものから順に $m$  ( $m$ は1以上の整数)個 ( $m < n$ ) の前記処理装置を選択するための選択信号を生成する選択信号生成手段と、複数の前記処理装置それぞれの前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とからなる $n$ 本の信号線のうち、前記選択信号の指示する前記 $m$ 個の前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とを選択して、前記最速アクセス判定手段に出力する処理要求選択手段とを有する。

【0027】さら、前記 $m$ 個の前記アクセス要求信号を、前記最速アクセス判定手段が有するアクセス状態保持部の同期クロックとすることもできる。

【0028】さらにまた、前記最速アクセス判定手段が、前記選択部で抽出された前記処理装置の番号を選択信号とする選択手段により選択された前記 $m$ 個の前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とを入力するとともに、前記 $m$ 個の前記アクセス要求信号を前記アクセス状態保持部の同期クロックとすることもできる。

【0029】また、前記選択信号生成手段は、前記アクセス要求信号のうち、先に到着した方から順番に優先順位をダイナミックに変更する優先順位変更部と、この優先順位変更部が出力する優先順位変更信号に応答して優先順位変更信号の指示する順番に選択制御信号を出力する優先順位設定値保持部と、 $n$ 個の前記アクセス要求信号をデコードして $m$ 個の制御信号を出力するデコード回路部とを有することもできる。

【0030】さらに、前記処理要求選択手段は、前段の $n$ 個の選択回路と、後段の $m$  ( $m < n$ ) 個の選択回路とからなり、前段の選択回路はそれぞれ並列に接続され複数の前記処理装置から前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とを1組とする $n$ 組の信号がそれぞれ与えられ、これら $n$ 組の信号から $m$ 組を選択して後段の選択回路に出力するとともに、前記アクセス要求信号を前記デコード回路に出力し、前記後段の選択回路はそれぞれの回路ごとに前記前段の選択回路から与えられた $m$ 組の信号を、前記デコード回路の出力する $m$ 個の制御信号の順位に응答して、前記アクセス要求信号と前記リード/ライト情報と前記バンク情報とを1組とする $m$ 組の信号としてそれぞれ順番に出力する。

【0031】さらにまた、前記選択信号生成手段は、予め設定される複数の前記処理装置の優先順位値を格納する優先順位設定値保持部のみを有し、その格納された優先順位値のうち優先順位の高い順に前記 $m$ 個を選択することもできる。

【0032】本発明のメモリアクセス調停方法は、現在

アクセス中のメモリに対する最後のプリチャージから次のアクセス時の最後のプリチャージまでの間のクロック数を基本アクセス時間として予め設定され保持する基本アクセス値設定部と、現在のアクセス状態としてのリード/ライト情報およびバンク情報を入力し保持するアクセス状態保持部と、複数の処理装置のアクセス要求信号が前記メモリへアクセスするときにとり得る2組のアクセス時間を、前記基本アクセス値から求める基本アクセス時間算出部と、求めた2組のアクセス時間を基に対応するそれぞれの処理装置がとり得る全ての組み合わせの総アクセス時間を算出する加算部と、算出した総アクセス時間を比較した最小値を求める比較部と、求めた最小値に対応する前記処理装置の番号を抽出する選択部とを備える最速アクセス判定手段とを用いて、前記基本アクセス値設定部に基本アクセス値を設定するとともに、前記基本アクセス時間算出部へ出力して待機する基本アクセス値設定処理と、実行中の第1の処理装置からアクセス要求信号が発生したか否かを発生するまで繰り返し判断し、発生すると次の基本アクセス時間算出処理へ進むアクセス要求信号発生判断処理と、メモリアクセス調停部からアクセス許可信号を受けて、現在実行中の前記第1の処理装置の前記バンク情報と前記リード/ライト情報とを前記アクセス状態保持部に保持し、保持されたバンク情報と次にアクセスする第2の処理装置がアクセスするメモリのバンク情報とを前記基本アクセス時間算出部で比較させ、待機中の前記第2の処理装置からのアクセス要求信号であれば、その処理装置のバンク情報と第3の処理装置がアクセスするメモリのバンク情報とを比較させ、それぞれの比較結果により前記基本アクセス値を選択して出力させる基本アクセス時間算出処理と、選択された前記基本アクセス値に基づき、前記総アクセス時間を算出する加算部により処理装置がとり得る組み合わせの総アクセス時間を求める総アクセス時間算出処理と、求めた総アクセス時間値から、最も高速にアクセスできる組み合わせを判定し数値の最も小さいものを出力させる総アクセス時間比較処理とを有することを特徴とする。

【0033】また、基本アクセス時間算出処理は、前記第1の処理装置から、メモリの第1または第2のバンクへのバーストリード要求またはバーストライト要求を受けとりメモリ使用許可信号に응答して、前記アクセス状態保持部に格納し保持させるアクセス要求信号受付保持処理と、前記第2の処理装置からバンクおよびリード/ライトのアクセス要求があるまで待機するアクセス要求信号待機処理と、前記アクセス要求があると、前記アクセス状態保持部および複数の前記処理装置の中で、2組を抽出する処理を実行する比較すべき2組の抽出処理と、前記第1の処理装置のアクセス状態保持内容と前記第2の処理装置のアクセス情報との2組を抽出する処理において、前記アクセス状態保持部に保持された前記バ

ンク情報と前記第2の処理装置からアクセス対象のバンク情報とを同じバンクかどうかを比較させ、その比較結果を前記選択回路へ出力するアクセス対象バンク比較処理と、比較結果が同じバンクの時は、前記基本アクセス値設定部に格納された第1の基本アクセス値を選択する同一バンク時の選択処理と、比較結果が異なるバンクの時は、比較結果のバンク情報と前記アクセス状態保持部に保持されたリード/ライト情報と前記第2の処理装置からのリード/ライト情報とにตอบสนองして、最初のアクセスがリード/ライトのいずれであるかを判断する第1のリード/ライトの判断処理と、判断結果がリードの時は、さらに次のアクセスがリード/ライトのいずれであるかを判断する第2のリード/ライトの判断処理と、判断結果がリードの時は、前記基本アクセス値設定部に格納された第2の基本アクセス値を選択するリード/リード時の基本アクセス値選択処理と、判断結果がライトの時は、前記基本アクセス値設定部に格納された第3の基本アクセス値を選択するリード/ライト時の基本アクセス値選択処理と、最初のアクセスの判断結果がライトの時は、さらに次のアクセスがリード/ライトのいずれであるかを判断する第3のリード/ライトの判断処理と、判断結果がリードの時は、前記基本アクセス値設定部に格納された第4の基本アクセス値を選択するライト/リード時の基本アクセス値選択処理と、判断結果がライトの時は、前記基本アクセス値設定部に格納された第5の基本アクセス値を選択するライト/ライト時の基本アクセス値選択処理と、前記比較すべき2組の抽出処理から前記ライト/ライト時の基本アクセス値選択処理までを前記第1の処理装置に対して前記第2の処理装置の個数が終了するまで繰り返して実行する比較処理終了判断処理とを有する。

#### 【0034】

【発明の実施の形態】まず、本発明の概要を図1に示した本発明の構成図を参照しながら説明する。処理装置111～11nからメモリアクセス調停回路に対するメモリアクセス要求信号(REQ1～REQn)が競合する場合、最速アクセス判定部16では、メモリアクセス要求信号のうち一番速くメモリへアクセス出来る組み合わせ順を求める。

【0035】求めた組み合わせ順を基に、優先順位調整部14において処理装置の優先順位を随時調整する。

【0036】優先順位調整部14で調整した優先順位を基に、メモリアクセス調停部13では一番優先順位の高い処理装置のみのメモリアクセス要求信号を受け付け、その処理装置に対してメモリ使用許可信号(ACK1～ACKn)を出力し、実際のメモリアクセスを実行する。

【0037】次に、図1と図1における最速アクセス判定部16の構成を示した図2とを併せて参照しながら本発明を説明する。

【0038】このメモリアクセス調停装置は、処理装置111～11n(nは2以上の整数)と、処理装置の優先順位設定部12と、メモリアクセス調停部13と、優先順位調整部14と、メモリ15と、本発明による最速アクセス判定部16とを備える。

【0039】処理装置111～11nとメモリアクセス調停部13とは、それぞれアクセス要求信号(REQ1～REQn)およびメモリ使用許可信号(ACK1～ACKn)のうちの対応する2本の入出力線で結ばれ、メモリアクセス調停部13はアクセス要求信号(REQ1～REQn)を入力しメモリ使用許可信号(ACK1～ACKn)を処理装置111～11nに返す。

【0040】最速アクセス判定部16は、基本アクセス値設定部21と、アクセス状態保持部22と、基本アクセス時間算出部231～23yと、加算部241～24zと、比較部25と、選択部26とを備える。

【0041】基本アクセス時間算出部231～23yは、比較回路2311と選択回路2312とを備える。また、基本アクセス時間算出部231～23yは、処理装置111～11nのうちの2組の全ての組み合わせの数だけ設けられる。その組み合わせの数は $n \times n$ 個だけある。

【0042】基本アクセス値設定部21は、基本アクセス時間算出部231～23yの選択回路2312それぞれに対して基本アクセス値を送出するため個別に接続される。

【0043】アクセス状態保持部22は、現在のアクセス状態としてのリード/ライト(R/W)情報およびバンク情報を入力する。そのため、各処理装置111～11nのリード/ライト(R/W)情報およびバンク情報が入力側に接続されており、同期クロックとしてメモリアクセス調停部13からメモリ使用許可信号(ACK1～ACKn)をそれぞれ入力する。このアクセス状態保持部22は最速アクセス判定部16内部に1個だけ存在する。

【0044】アクセス状態保持部22は、そのリード/ライト情報出力端が、 $n \times n$ 個の基本アクセス時間算出部231～23yのうち、 $1/n$ 個の基本アクセス時間算出部の選択回路2312に対してリード/ライト情報を送出するための信号線でそれぞれ接続される。

【0045】一方、バンク情報出力端が、これら $1/n$ 個の基本アクセス時間算出部の比較回路2311に対して比較入力の方の入力端へバンク情報を送出するための信号線でそれぞれ接続される。

【0046】上述した $1/n$ 個の基本アクセス時間算出部に対するアクセス状態保持部22の接続は、後述する2組の処理装置の組み合わせのうち、実行中に、連続して同じ処理装置及び他の処理装置からアクセスする時の状態に対応している。

【0047】従って、上述した $1/n$ 個の基本アクセス



時間算出部231の比較回路2311は、その他方の入力端に、実行中に、連続して同じ処理装置及び他の処理装置からアクセスする時の処理装置のバンク情報の信号線が接続される。

【0048】選択回路2312は、前述した基本アクセス値、比較回路2311の出力線およびアクセス状態保持部22のリード/ライト情報の出力線の他に、組合わせる2組の各処理装置のうちの他方の処理装置（この場合は処理装置1）のリード/ライト情報の出力線も接続される。

【0049】選択回路2312の出力線は、加算部241～24zの対応する入力端にそれぞれ接続される。同様に、残りの基本アクセス時間算出部232から23yの各選択回路の出力線も加算部241～24zの対応する入力端にそれぞれ接続される。

【0050】加算部241～24zは、基本アクセス時間算出部231～23yの出力値をそれぞれ加算する全ての組み合わせの数だけ設けられる。その数は、（基本アクセス時間算出部231～23yの数）の階乗個（231～23yの数をnとするとn!個）ある。

【0051】加算部241～24zは、それぞれの出力線が全て比較部25の入力側に接続され、その出力線は最速アクセス順序選択部26の選択制御信号の入力側へ接続される。

【0052】最速アクセス順序の選択部26は、最速アクセス判定部16内部でもつ固定値で、かつ、各処理装置111～11nを識別する番号としての数値1～nが入力側に設定されている。

【0053】ここで、基本アクセス値は、メモリ15へアクセスする種類のとりうる2組のアクセス時間を予め設定した値である。

【0054】このメモリへアクセスする種類とは、処理装置がメモリ15へアクセスする時の、リード/ライト情報、バンク情報、ページアクセス情報、バーストアクセス情報の種類のことである。

【0055】2組のアクセス時間としているのは、2組のアクセス時間さえ判れば、後はその組み合わせで総アクセス時間が求まるからである。例えば、Aバンクリード→Bバンクリード→Aバンクライトとアクセスする場合のアクセス時間は、Aバンクリード→Bバンクリードで4クロック、Bバンクリード→Aバンクライトで7クロックであり、その合計は11クロックとなる。

【0056】上述した各構成要素の基本的な機能を述べると、アクセス状態保持部22は、処理装置111～11nのバンク情報およびリード/ライト情報を受けるようになっていて、現在、ある処理装置がメモリ15へアクセス中であるとき、そのアクセス中のバンク情報およびリード/ライト情報を保持する。

【0057】基本アクセス時間算出部231～23yは、処理装置111～11nがメモリ15へアクセスす

るときにとり得る2組のアクセス時間を、基本アクセス値から求める。

【0058】求めたアクセス時間を基に、総アクセス時間を算出する加算部241～24zでは、対応するそれぞれの処理装置がとり得る全ての組み合わせ時間を算出する。

【0059】総アクセス時間の比較部25では、総アクセス時間を算出する加算部241～24zで算出した総アクセス時間を比較する。

【0060】比較した結果、最速アクセス順序の選択部26で、最高速（総アクセス時間が最小値である）のアクセス時間になる処理装置の番号1～nのいずれかを出力する。

【0061】前述した構成からなるメモリアクセス調停装置では、処理装置の優先順位設定部12に対し、予め処理装置111～11nの優先順位を設定しておくものとする。

【0062】これらの処理装置111～11nは1からnまでのn個あり、メモリアクセス調停装置がシステムとしての動作開始に伴い、処理装置111～11nから共有メモリに対してそれぞれ同時にアクセスする場合がある。

【0063】その場合、アクセスが生じた処理装置111～11nはそれぞれアクセス要求信号（REQ1～REQn）をそれぞれの信号線に出力してメモリアクセス調停部13に送出する。

【0064】アクセス要求信号（REQ1～REQn）を受けたメモリアクセス調停部13は、優先順位調整部14に対しアクセスがあったことを通知する。優先順位調整部14では、処理装置の優先順位設定部12に予め設定された優先順位の値に従ってアクセス要求を調停する。

【0065】その調停に際し、受け付けたアクセス要求信号（REQ1～REQn）の中から、本発明による最速アクセス判定部16により、メモリアクセス要求信号のうち一番速くメモリへアクセス出来る組み合わせ順を求め、求めた組み合わせ順を基に判定した優先順位の最も高い処理装置のアクセス要求信号を1つ選択する。

【0066】その選択された1つのアクセス要求信号に対応する処理装置に対して、メモリアクセス調停部13はメモリ使用許可信号（ACK1～ACKn）のうち対応する1つのメモリ使用許可信号を送り返す。

【0067】以下、本実施形態のメモリアクセス調停回路装置の動作を説明する。

【0068】図1において、処理装置111～11nの個数n=3、メモリ15をAバンクおよびBバンクからなる2バンク方式のS-DRAMとし、メモリの設定をバースト長=4、CASレイテンシ=2とした場合の動作を説明する。

【0069】なお、S-DRAMにアクセスする場合、

最初にA/Bバンクアクティブコマンドを発行し、その後、リード/ライトコマンドを発行することで、S-DRAMのリード/ライトが実行される。

【0070】ここで、バースト長とは、リードサイクルまたはライトサイクルで出力または入力されるワード数であり、CASレイテンシとは、リードコマンド発行からデータが出るまでの期間である。

【0071】先ず、図2における基本アクセス値設定部21に基本アクセス値を設定する。その基本アクセス値は、現在アクセス中のメモリに対する最後のプリチャージから次のアクセス時の最後のプリチャージまでの間のクロック数とする。

【0072】本実施形態のメモリアクセス調停回路装置における、異なるバンクを連続してアクセスするときの動作説明用タイミングチャートを示した図3を参照すると、処理装置x（ここでは $n=3$ としているから、 $x=1$  or  $2$  or  $3$ のいずれかであり、現在実行中の処理装置である）が、Aバンクにバーストリードアクセスした後に、処理装置y（ここでは $n=3$ としているから、 $y=1$  or  $2$  or  $3$ のいずれかである）がBバンクへバーストリードアクセスするタイミングを示している。

【0073】また、図中、タイミング $t_5 \sim t_7$ 期間がCASレイテンシであり、タイミング $t_7 \sim t_{11}$ 期間がバースト長である。

【0074】現在実行中の処理装置xからはアクセス要求信号REQxが、タイミング $t_1$ から $t_3$ の期間ロウレベルの信号でメモリアクセス調停部13へ送出される。このアクセス要求信号REQxを受けたメモリアクセス調停部13からは、処理装置xに対してタイミング $t_2$ から $t_3$ の期間ロウレベルの信号で返される。

【0075】次にアクセスされる処理装置yからはアクセス要求信号REQyが、タイミング $t_4$ から $t_7$ の期間ロウレベルの信号でメモリアクセス調停部13へ送出される。

【0076】このアクセス要求信号REQyを受けたメモリアクセス調停部13からは、処理装置yに対してタイミング $t_6$ から $t_7$ の期間ロウレベルの信号で返される。

【0077】処理装置xからのAバンクリード要求を受け付けると、 $t_3$ から $t_4$ 期間にAバンクの、アクティブコマンドを発行してAバンクをアクティブにした後、 $t_5$ から $t_6$ 期間にリードコマンドを発行することで、Aバンクリードが実行される。リードされたデータはタイミング $t_7$ から $t_{11}$ 期間にD0、D1、D2、D3としてデータバスに出力される。なお、ここではプリチャージ31はデータD3の出力タイミング期間に行われているものとする。

【0078】続いて、処理装置yからのBバンクリード要求を受け付けると、 $t_7$ から $t_8$ 期間にBバンクのアクティブコマンドを発行してBバンクをアクティブにし

た後、 $t_9$ から $t_{10}$ 期間にリードコマンドを発行することで、Bバンクリードが実行される。リードされたBバンクデータはタイミング $t_{11}$ から $t_{15}$ 期間にD0、D1、D2、D3としてデータバスに出力される。なお、ここでもプリチャージ32はデータD3の出力タイミング期間に行われているものとする。

【0079】通常、プリチャージとバンクアクティブコマンドACTとの間はTrp規格を満足する必要がある。この規格は、クロックの周期やS-DRAMの種類によって変わるが、大体1クロック程度は必要であるが、異なるバンクに連続してアクセスする場合は、Trp規格は定めていない。

【0080】従って、Aバンクへのバーストリードアクセスのプリチャージタイミング31と、Bバンクへのバーストリードアクセスのプリチャージタイミング32との間は、この例では4クロックである。

【0081】次に、本実施形態のメモリアクセス調停回路装置における、同じバンクを連続してアクセスするときの動作説明用タイミングチャートを示した図4を参照すると、処理装置x（ここでは $n=3$ としているから、 $x=1$  or  $2$  or  $3$ のいずれかであり、前述と同様に現在実行中の処理装置である）が、Aバンクにバーストリードアクセスした後に、処理装置y（ここでは $n=3$ としているから、 $y=1$  or  $2$  or  $3$ のいずれかである）もAバンクへバーストリードアクセスするときのタイミングを示す。

【0082】現在実行中の処理装置xからはアクセス要求信号REQxが、タイミング $t_1$ から $t_3$ の期間ロウレベルの信号でメモリアクセス調停部13へ送出される。このアクセス要求信号REQxを受けたメモリアクセス調停部13からは、処理装置xに対してタイミング $t_2$ から $t_3$ の期間ロウレベルの信号で返される。

【0083】次にアクセスされる処理装置yからはアクセス要求信号REQyが、タイミング $t_4$ から $t_{11}$ の期間ロウレベルの信号でメモリアクセス調停部13へ送出される。

【0084】このアクセス要求信号REQyを受けたメモリアクセス調停部13からは、処理装置yに対してタイミング $t_{10}$ から $t_{11}$ の期間ロウレベルの信号で返される。

【0085】処理装置xからのAバンクリード要求を受け付けると、 $t_3$ から $t_4$ 期間にAバンクの、アクティブコマンドを発行してAバンクをアクティブにした後、 $t_5$ から $t_6$ 期間にリードコマンドを発行することで、Aバンクリードが実行される。リードされたデータはタイミング $t_7$ から $t_{11}$ 期間にD0、D1、D2、D3としてデータバスに出力される。なお、ここでもプリチャージ41はデータD3の出力タイミング期間に行われているものとする。

【0086】続いて、さらにyからのAバンクリード要

求を受け付けると、 $t_{11}$ から $t_{12}$ 期間にAバンクの、アクティブコマンドを発行してAバンクをアクティブにした後、 $t_{13}$ から $t_{14}$ 期間にリードコマンドを発行する事で、Aバンクリードが実行される。リードされたAバンクデータはタイミング $t_{15}$ から $t_{19}$ 期間にD0、D1、D2、D3としてデータバスに出力される。なお、ここでもプリチャージ4.2はデータD3の出力タイミング期間に行われているものとする。

【0087】同一バンクに連続してアクセスする場合、プリチャージとバンクアクティブコマンドACTとの間のTrp規格を満足する必要がある。この規格は前述したように大体1クロック程度である。従って、Trp規格も考慮すると、Aバンクへのバーストリードアクセスのプリチャージタイミング4.1と、続けて同じバンクがリードされるときAバンクへのバーストリードアクセスのプリチャージタイミング4.2間は、この例の場合は8クロックである。

【0088】このように、S-DRAMの特性によって、プリチャージ間の最短のクロック数が決定される。

【0089】同様に、バンク情報およびリード/ライト情報の2つの組み合わせ全てについて、基本アクセス値を求めて表にしたものが図5に示してある。図5を参照すると、現在のアクセスがリードの時、次のアクセスが異なるバンクで、かつリードの時のアクセス値は4クロックであり、ライト時のアクセス値は7クロックである。

【0090】現在のアクセスがライトの時、次のアクセスが異なるバンクで、かつリードの時のアクセス値は3クロックであり、ライト時のアクセス値は4クロックである。

【0091】同様に、現在のアクセスがリードの時、次のアクセスが同じバンクで、かつリードの時のアクセス値は8クロックであり、ライト時のアクセス値も8クロックである。

【0092】現在のアクセスがライトの時、次のアクセスが同じバンクで、かつリードの時のアクセス値は8クロックであり、ライト時のアクセス値も8クロックである。

【0093】上述した基本アクセス値は、そのままの数値で使用しても問題ないが、実際にはこれら基本アクセス値の差分値を求めてデータを圧縮した方がよい。この基本アクセス値の差分値をとった値を示した図6を参照すると、ここでの圧縮方法は、図5の表において、各基本アクセス値から最小の基本アクセス値を引き算して求めている。この例では最小値が3であるから、各値から3を引き算する。

【0094】その結果、現在のアクセスがリードの時、次のアクセスが異なるバンクで、かつリードの時のアクセス値は1、ライト時のアクセス値は4になり、現在のアクセスがライトの時、次のアクセスが異なるバンク

で、かつリードの時のアクセス値は0、ライト時のアクセス値は1になる。

【0095】同様に、現在のアクセスがリードの時、次のアクセスが同じバンクで、かつリードの時のアクセス値は5、ライト時のアクセス値も5になり、現在のアクセスがライトの時、次のアクセスが同じバンクで、かつリードの時のアクセス値は5、ライト時のアクセス値も5になる。つまり、同一バンクをアクセスするときはリードおよびライト時とも同じアクセス値となる。

【0096】今、ある処理装置 $x$  ( $x=1$  or  $2$  or  $3$ ) から、Bバンクへのバーストリード要求信号REQ $x$ を受け取り、アクセス許可信号ACK $x$ を返したとする。

【0097】そのACK $x$ タイミングで、図2のアクセス状態保持部22にBバンクと、リード情報を格納する。このアクセス状態保持部22の情報は、処理装置 $x$ のメモリアccessが終了すると共に開放する。

【0098】次に、処理装置1、2、3から、下記アクセス要求信号が発生したとする。

【0099】処理装置1：Bバンクへのオートプリチャージ付きバーストリード

処理装置2：Aバンクへのオートプリチャージ付きバーストライト

処理装置3：ABバンクへのオートプリチャージ付き連続バーストライト

ここで、通常のプリチャージとオートプリチャージとの違いはについて述べておく。通常のプリチャージは、メモリアccess調停装置からS-DRAMへプリチャージコマンドを発行するが、そのプリチャージコマンドを発行する間(1クロック期間)は、S-DRAMのバスを占有するため、他のコマンドは発行できない。

【0100】これに対し、オートプリチャージは、リード/ライトコマンドを発行すると同時にオートプリチャージか否かもS-DRAMに伝える。リードの場合は、バーストデータの最後のタイミングから1クロック前のタイミングで、プリチャージがS-DRAM内部で自動的に実行される。ライトの場合は、バーストデータの最後のタイミングから1クロック後のタイミングで、プリチャージがS-DRAM内部で自動的に実行される。

【0101】オートプリチャージの場合は、プリチャージを自動的に実行するので、プリチャージ期間中であっても他のコマンドを発行できるという利点がある。

【0102】上記の条件下において、基本アクセス時間を算出する。算出する組み合わせは、 $n=3$ の場合は、 $X(=1) \rightarrow 1, 1 \rightarrow 2, 1 \rightarrow 3, X(=2) \rightarrow 2, 2 \rightarrow 1, 2 \rightarrow 3, X(=3) \rightarrow 3, 3 \rightarrow 1, 3 \rightarrow 2$ の9通りである。処理装置が $n$ 個であれば $n \times n$ 通りの組み合わせになる。

【0103】基本アクセス時間算出部231のバンク比較部2311は、アクセス状態保持部22に保持された

現在実行中のバンク B 情報と処理装置 1 のバンク情報とを比較して、同じバンクへのアクセスか否かを判定する。

【0104】選択回路 2312 では、バンク比較回路 2311 において判定した結果と、アクセス状態保持部 22 のリード/ライト情報と、処理装置 1 のリード/ライト情報に対応する基本アクセス値を選択して出力する。

【0105】すなわち、現在実行中の処理装置  $x$  は B バンクのリードであり、処理装置 1 も B バンクからのリード要求となっているため、同一バンクに対する連続リード要求の時の基本アクセス値である図 6 の差分値で示した“5”を選択する。

【0106】基本アクセス時間算出部 232~23y ( $n=3$  の時  $y=9$ ) についても同様な構成となっており、これらすべての組み合わせにおいて基本アクセス時間を求める。例えば、 $x=1$  とすると、前述したように、現在実行中の処理装置  $x$  は B バンクからのリードであるから、この実行中の処理装置  $x=1$  に続く次のアクセスとして再度同じ処理装置 1 からアクセス要求信号が出る場合 (1→1)、処理装置  $x=1$  の情報を保持するアクセス状態保持部 22 の内容は B バンクのリード要求であり、処理装置 1 も B バンクからのリード要求となっているため、図 6 に示した値“5”となる。

【0107】アクセス状態保持部 22 の内容は B バンクのリード要求を保持した状態で、処理装置 1 (B バンクのリード) と処理装置 2 (A バンクのライト) とのバンク情報を比較し (1→2)、異なるバンクのリードからライトへのアクセスであるから図 6 に示した値“4”となる。

【0108】アクセス状態保持部 22 の内容は B バンクのリード要求を保持した状態で、処理装置 1 (B バンクのリード) と処理装置 3 (A バンクのライト) とのバンク情報を比較し (1→3)、異なるバンクのリードからライトへのアクセスであるから図 6 に示した値“4”となる。

【0109】実行中の処理装置  $x=2$  であり、アクセス状態保持部 22 の内容は B バンクのリード要求を保持した状態で、続く次のアクセスとして再度同じ処理装置 2 (A バンクのライト) からアクセス要求信号が出る場合 (2→2)、処理装置  $x=2$  の情報を保持するアクセス状態保持部 22 の内容は B バンクのリード要求であり、処理装置 2 が A バンクへのライト要求となっているため、図 6 に示した値“4”となる。

【0110】アクセス状態保持部 22 の内容は処理装置  $x=2$  の B バンクのリード要求を保持した状態で、処理装置 2 (A バンクへのライト) と処理装置 1 (B バンクからのリード) とのバンク情報を比較し (2→1)、異なるバンクのライトからリードへのアクセスであるから図 6 に示した値“0”となる。

【0111】同様の手順で、処理装置 2 (A バンクへの

ライト) と処理装置 3 (A バンクへのライト) とのバンク情報を比較 (2→3) し、同一バンクのライトからライトへのアクセスであるから図 6 に示した値“5”となる。

【0112】実行中の処理装置  $x=3$  であり、そのアクセス状態保持部 22 の内容は B バンクのリード要求を保持した状態で、続く次のアクセスとして再度同じ処理装置 3 (A バンクへのライト) からアクセス要求信号が出る場合 (3→3)、処理装置  $x=3$  の情報を保持するアクセス状態保持部 22 の内容は B バンクのリード要求であり、処理装置 3 が A バンクへのライト要求となっているため、図 6 に示した値“4”となる。

【0113】アクセス状態保持部 22 の内容は処理装置  $x=3$  の B バンクのリード要求を保持した状態で、処理装置 3 (A バンクへのライト) と処理装置 1 (B バンクからのリード) とのバンク情報を比較し (3→1)、異なるバンクのライトからリードへのアクセスであるから図 6 に示した値“5”となる。

【0114】同様の手順で、処理装置 3 (A バンクへのライト) と処理装置 2 (A バンクへのライト) とのバンク情報を比較 (3→2) し、異なるバンク (B→A) のライトからライトへのアクセスであるから図 6 に示した値“1”となる。

【0115】上述した基本アクセス時間算出値を図 7 に示してある。すなわち、 $X (=1) \rightarrow 1=5$ ,  $1 \rightarrow 2=4$ ,  $1 \rightarrow 3=4$ ,  $X (=2) \rightarrow 2=4$ ,  $2 \rightarrow 1=0$ ,  $2 \rightarrow 3=5$ ,  $X (=3) \rightarrow 3=4$ ,  $3 \rightarrow 1=5$ ,  $3 \rightarrow 2=1$  となる。

【0116】この基本アクセス時間を基に、例えば  $n=3$  の場合、総アクセス時間を算出する加算部 241 では、処理装置  $x \rightarrow 1 \rightarrow 2 \rightarrow 3$ ,  $x \rightarrow 1 \rightarrow 3 \rightarrow 2$ ,  $x \rightarrow 2 \rightarrow 1 \rightarrow 3$ ,  $x \rightarrow 2 \rightarrow 3 \rightarrow 1$ ,  $x \rightarrow 3 \rightarrow 1 \rightarrow 2$ ,  $x \rightarrow 3 \rightarrow 2 \rightarrow 1$  と 6 通りのアクセス順序ごとに総アクセス時間を加算して求める。 $n$  個の場合、 $n!$  通りのアクセス順序がある。

【0117】総アクセス時間を算出する加算部 241 では、アクセス順序  $x \rightarrow 1 \rightarrow 2 \rightarrow 3$  の場合、処理装置  $x (=1) \rightarrow 1$  のアクセス値は“5”、処理装置  $1 \rightarrow 2$  のアクセス値は“4”、処理装置  $2 \rightarrow 3$  のアクセス値は“5”なので、それらを全て加算 (5+4+5) した“14”を出力する。

【0118】同様の手順で、総アクセス時間を算出する加算部 242 では、アクセス順序  $x \rightarrow 1 \rightarrow 3 \rightarrow 2$  の場合は、加算 (5+4+1) した“10”を出力する。

【0119】総アクセス時間を算出する加算部 243 では、アクセス順序  $x \rightarrow 2 \rightarrow 1 \rightarrow 3$  の場合は、処理装置  $x (=2) \rightarrow 2$  のアクセス値は“4”、処理装置  $2 \rightarrow 1$  のアクセス値は“0”、処理装置  $1 \rightarrow 3$  のアクセス値は“4”なので、それらを全て加算した“8”を出力する。

【0120】同様の手順で、総アクセス時間を算出する加算部244では、アクセス順序 $x \rightarrow 2 \rightarrow 3 \rightarrow 1$ の場合は、加算(4+5+5)した“14”を出力する。

【0121】総アクセス時間を算出する加算部245では、アクセス順序 $x \rightarrow 3 \rightarrow 1 \rightarrow 2$ の場合は、処理装置 $x (=3) \rightarrow 3$ のアクセス値は“4”、処理装置 $3 \rightarrow 1$ のアクセス値は“5”、処理装置 $1 \rightarrow 2$ のアクセス値は“4”なので、それらを全て加算した“13”を出力する。

【0122】同様の手順で、総アクセス時間を算出する加算部246では、アクセス順序 $x \rightarrow 3 \rightarrow 2 \rightarrow 1$ の場合は、加算(4+1+0)した“5”を出力する。

【0123】図8に上述の加算処理で求めた処理装置1, 2, 3がとりうる全ての組み合わせの総アクセス時間を示してある。

【0124】求めた総アクセス時間を、総アクセス時間の比較部25で比較して、一番高速にアクセスできる組み合わせ、即ち一番数値の小さいものを判定する。

【0125】図8に示した総アクセス時間の中では、 $x \rightarrow 3 \rightarrow 2 \rightarrow 1$ が最も小さな値は“5”であると判定する。

【0126】一番小さな値となる組み合わせ情報 $x \rightarrow 3 \rightarrow 2 \rightarrow 1$ を基に、最速アクセス順序である処理装置の番号“3”を、処理装置選択部25から出力する。

【0127】この処理装置選択部25から出力された処理装置番号“3”を、図1の優先順位調整部14に出力する。

【0128】もし、図8に示した総アクセス時間の中で、一番小さい値が複数ある場合には、図1の処理装置の優先順位12に従って、もっとも優先順位の高いものを優先して選択する。

【0129】図1に示した優先順位調整部14では、最速アクセス判定部16からの処理装置情報(ここでは一例として上述の処理装置番号“3”)に基づき、その処理装置3の優先順位を引き上げる。

【0130】この優先順位に基づき、メモリアクセス調停部13で一番優先順位の高い処理装置3のみメモリアクセス要求信号を許可し、処理装置3にアクセス許可信号(ACK)を出して、アクセスを許可したことを知らせる。

【0131】アクセス要求信号が許可された処理装置3は、実際のメモリ15へのアクセスを実行する。これら一連の処理は、処理装置からのメモリアクセス要求信号が来るたびに随時行う。

【0132】上述したメモリアクセス調停装置におけるメモリアクセス調停方法をフローチャートで示した図9を参照すると、先ず、最速アクセス判定部16に設けた基本アクセス値設定部21に基本アクセス値を設定するとともに、基本アクセス時間算出部231の選択回路2312へ出力して待機する(基本アクセス値設定処理S

1)。

【0133】処理装置 $x$ からアクセス要求信号が発生したか否かを発生するまで繰り返し判断し、発生すると次の基本アクセス時間算出処理へ進む(アクセス要求信号発生判断処理S2)。

【0134】処理装置 $x$ からアクセス要求信号が発生すると、メモリアクセス調停部13からメモリ使用許可信号ACKを受けて、現在実行中の処理装置 $x$ (例えば $x=1$ )のバンク情報とリード/ライト情報とをアクセス状態保持部22に保持し、保持されたバンク情報と次にアクセスする処理装置 $y (=1)$ がアクセスするメモリのバンク情報とを基本アクセス時間算出部231で比較させ、待機中の処理装置 $y$ (例えば $y=2$ )からのアクセス要求信号であれば、その処理装置のバンク情報と処理装置 $y$ (例えば $y=3$ )がアクセスするメモリのバンク情報とを比較させ、それぞれの比較結果により基本アクセス値を選択して出力させる(基本アクセス時間算出処理S3)。

【0135】次に、選択された基本アクセス値に基づき、最速アクセス判定部16は、総アクセス時間を算出する加算部241~24zにより処理装置がとり得る組み合わせの総アクセス時間を求める処理を行う(総アクセス時間算出処理S4)。

【0136】次に、最速アクセス判定部16は、総アクセス時間の比較部25により、総アクセス時間を算出する加算部241~24zで求めた値から、最も高速にアクセスできる組み合わせを判定し数値の最も小さいものを出力させる処理を行う(総アクセス時間比較処理S5)。

【0137】次に、最速アクセス判定部16は、最速アクセス順序選択部26により、総アクセス時間の比較部25の判定結果をもとに、最も小さい値を示したアクセスの処理装置番号を優先順位調整部へ出力する処理を行う(最速アクセス順序選択処理S6)。上述した処理により最速アクセスを実行させる。

【0138】前述した、基本アクセス時間算出処理S3は、最速アクセス判定部16において、現在実行中の処理装置 $x$ から、メモリ15のAまたはBバンクへの、例えば、バーストリード要求またはバーストライト要求を受け、受け付けたバーストリード要求またはバーストライト要求を、メモリアクセス調停部13から供給されるメモリ使用許可信号ACKに応答して、アクセス状態保持部22に格納し保持させる(アクセス要求信号受付保持処理S31)。

【0139】処理装置 $y$ からバンク情報およびリード/ライト情報のアクセス要求信号があるまで待機する(アクセス要求信号待機処理S32)。

【0140】アクセス要求があると、最速アクセス判定部16は、アクセス状態保持および処理装置 $y$ の中で、2組を抽出する処理を実行する(比較すべき2組の抽出

処理 S 33)。つまり、最初のアクセスが現在実行中の処理装置 x (例えば x=1 で、そのリード/ライト情報がアクセス状態保持部の保持値) で次のアクセスが処理装置 y (=1) のように同じ処理装置 1 (実行中のバンク情報およびリード/ライト情報と同じ情報とは限らず任意の状態) を連続してアクセスし、さらに次のアクセス以降は処理装置 y (=2 or 3 or ... or n) から 2 組の全ての組み合わせを抽出する。

【0141】これらの組み合わせは  $n \times n$  個あり、その中で同一処理装置を連続アクセスする組み合わせは  $n$  個である。

【0142】先ず、現在実行中の処理装置 x ( $x=1$  or  $2$  or ... or  $n$ ) のアクセス状態保持内容 (例えば B バンクのリード) と処理装置 y (=1) との 2 組を抽出する処理において、基本アクセス時間算出部 231 は、アクセス状態保持部 22 に保持されたバンク情報と処理装置 y からアクセス対象のバンク情報とを比較回路 2311 で同じバンクかどうかを比較させ、その比較結果を選択回路 2312 へ出力する (アクセス対象バンク比較処理 S 34)。

【0143】次に、基本アクセス時間算出部 231 は、比較結果が同じバンクの時は、基本アクセス値設定部に格納された基本アクセス値 "5" を選択する (同一バンク時の選択処理 S 35)。

【0144】比較結果が異なるバンクの時は、比較結果のバンク情報とアクセス状態保持部 22 に保持されたリード/ライト情報と処理装置 y からのリード/ライト情報とに応答して、最初のアクセスがリード/ライトのいずれであるかを判断する (第 1 のリード/ライトの判断処理 S 36)。

【0145】判断結果がリードの時は、さらに次のアクセスがリード/ライトのいずれであるかを判断する (第 2 のリード/ライトの判断処理 S 37)。

【0146】判断結果がリードの時は、基本アクセス値設定部に格納された基本アクセス値 "1" を選択する (リード/リード時の基本アクセス値選択処理 S 38)。

【0147】判断結果がライトの時は、基本アクセス値設定部に格納された基本アクセス値 "4" を選択する (リード/ライト時の基本アクセス値選択処理 S 39)。

【0148】最初のアクセスの判断結果がライトの時は、さらに次のアクセスがリード/ライトのいずれであるかを判断する (第 3 のリード/ライトの判断処理 S 40)。

【0149】判断結果がリードの時は、基本アクセス値設定部に格納された基本アクセス値 "0" を選択する (ライト/リード時の基本アクセス値選択処理 S 41)。

【0150】判断結果がライトの時は、基本アクセス値

設定部に格納された基本アクセス値 "1" を選択する (ライト/ライト時の基本アクセス値選択処理 S 42)。

【0151】上述した比較すべき 2 組の抽出処理 S 33 ~ ライト/ライト時の基本アクセス値選択処理 S 43 までは処理装置 x に対して処理装置 y の個数が終了するまで繰り返して実行する (比較処理終了判断処理 S 43)。

【0152】上述したように、本実施形態によれば、アクセス順序が最速となる組み合わせ順を判定する最速アクセス判定部を設けて優先順位を随時調整しているため、複数の処理装置 111 ~ 11n からメモリ 15 へのアクセス要求信号が競合した場合、各処理装置間にワード長の違いがあっても常に最速にメモリをアクセスすることが出来る。

【0153】次に、本発明の第 2 の実施形態の構成を示した図 10 を参照すると、図 2 に示した第 1 の実施形態における構成との相違点は、図 1 における処理装置の優先順位設定部 12 とメモリアクセス調停部 13 と優先順位調整部 14 とに代えて、選択信号生成部 91 および処理要求選択部 92 を有することである。

【0154】処理要求選択部 92 は、前段の選択回路 9211 ~ 921n と、後段の選択回路 9221 ~ 922m ( $m < n$ ) とを有する。

【0155】前段の選択回路 9211 ~ 921n の入力端には、処理装置 1 ~ n からのアクセス要求信号 (REQ1 ~ REQn) とリード/ライト情報とバンク情報とを与える信号線が 3 本を 1 単位としてそれぞれ並列に接続されている。

【0156】後段の選択回路 9221 ~ 922m の入力端には、それぞれの回路ごとに選択回路 9211 ~ 921n の出力線として、アクセス要求信号 (REQ1 ~ REQn) とリード/ライト情報とバンク情報とを与える信号線が 3 本を 1 単位として全て並列に接続されている。さらに、後述するデコード回路 913 の出力線 Sel1 ~ Selm がそれぞれ対応する制御端子に個別に接続されている。

【0157】後段の選択回路 9221 ~ 922m は、前段の選択回路 9211 ~ 921n で選択されたそれぞれの信号をデコード回路 913 で生成した Sel1 ~ Selm の順位に応答して要求信号 (REQ1' ~ REQm') として個別に出力する。

【0158】この要求信号 (REQ1' ~ REQm') は、それぞれがアクセス要求信号 (REQ1 ~ REQm) とリード/ライト情報とバンク情報とからなる 3 本を 1 単位とする信号線であり、アクセス要求信号 (REQ1 ~ REQm) は全て最速アクセス判定部 16 のアクセス状態保持部 22 のクロック (ACK) 端子に共通接続され、リード/ライト情報およびバンク情報も全てアクセス状態保持部 22 のリード/ライト情報およびバン



ク情報の入力端子に接続される。

【0159】また、リード／ライト情報とバンク情報とは、それぞれ実施形態1と同様に対応する基本アクセス時間算出部231～23yの入力端へも接続される。

【0160】また、m個のアクセス要求信号(REQ1～REQm)を、最速アクセス判定手段16が有するアクセス状態保持部22の同期クロックとすることもできる。

【0161】選択信号生成部91は、優先順位設定値保持部911と優先順位変更部912とデコード回路913とを有する。優先順位設定値保持部911は1, 2, …, n個の保持回路で構成され、それぞれの入力端は、処理装置1～nにそれぞれ対応して接続され、それぞれの優先順位を示す番号1, 2, …, nがアクセス状態保持部22に設定されている。これらのアクセス状態保持部22は例えばレジスタで構成する。

【0162】さらに、優先順位設定値保持部911は、制御端子に優先順位変更部912の優先順位変更信号の出力線が接続され、その優先順位変更信号の指示する順番に後述する処理要求選択部92の選択回路1～nを選択するための選択制御信号を出力する。

【0163】優先順位変更部912の入力端は、処理装置1～nに信号線で接続され、それぞれのアクセス要求信号REQ1～REQnが与えられる。

【0164】この優先順位変更部912は、アクセス要求信号REQ1～REQnのうち、先に到着した方から順番に優先順位をダイナミックに変更するための機能ブロックである。

【0165】デコード回路913の入力端には、選択回路9211～921nで選択されたREQ1～REQnの信号線が接続され、デコード回路913の出力信号Sel1～Selmのm本の信号線は、m個の選択回路9221～922mの対応する制御端子に個別に接続される。

【0166】上述した構成からなる選択信号生成部91は、処理装置1～nから出力されるアクセス要求信号(REQ1～REQn)に従って、先に要求のあったものから順にm個( $m < n$ )の処理装置を選択するための選択信号を生成する。

【0167】選択信号生成部91で生成された選択信号にตอบสนองして、処理装置選択部92では、処理装置1～nそれぞれのアクセス要求信号(REQ1～REQn)とR/W情報とバンク情報とからなるn組の信号うち、選択信号生成部91の選択信号SEL1～nの指示するm組のアクセス要求信号(REQ1～REQn)とR/W情報とバンク情報とを選択して、最速アクセス判定部16に出力する。

【0168】つまり、この第2の実施形態の動作の流れは、まず、優先順位設定値保持部911に外部から優先順位を設定する。次に、優先順位変更部912が処理装

置からのアクセス要求信号REQ1～nを先にきた順に変更するための制御信号を出力し、この制御信号で優先順位設定値保持部911の保持回路を制御することで、当初設定されたアクセス順序をダイナミックに変更する。

【0169】次に、変更された順位の制御信号に基づき、前段の選択回路9211～921nが順番に選ばれ、後段の選択回路9221～922mに出力される。

【0170】次に、デコード回路913が、順番に選ばれた前段の選択回路9211～921nに従い、m個の選択制御信号を出力する。

【0171】次に、後段の選択回路9221～922mはデコード結果の選択制御信号Sel1～Selmの指示する順番にREQ1'～REQm'を出力する。

【0172】この第2の実施形態の構成によれば、処理装置の数が多くても、第1の実施形態の構成のように、処理装置1～nの組み合わせ数が、 $n \times n$ に増加することが無いため、最速アクセス判定部の規模を小さくすることができ、判定に要する負荷も格段に軽減することができる。

【0173】また、この第2の実施形態では、先にアクセス要求があった順に取り出す方法の他に、図1に示した第1の実施形態における処理装置の優先順位順設定部12の設定内容に従って、優先順位の高いものから順にm個を選択して取り出してもよい。

【0174】上述したように、本実施形態においても、アクセス順序が最速となる組み合わせ順を判定する最速アクセス判定部を設けて優先順位を随時調整しているため、複数の処理装置111～11nからメモリ15へのアクセス要求信号が競合した場合、各処理装置間にワード長の違いがあっても常に最速にメモリをアクセスすることが出来る。

【0175】

【発明の効果】上述したように、本発明のメモリアクセス調停装置およびメモリアクセス調停方法は、予め定めた基本アクセス時間に基づき、アクセス要求信号が競合した場合に全てのアクセス要求信号の組み合わせごとに総合アクセス時間を算出するとともに、算出したそれぞれの値を比較して求めた最小値に対応した処理装置の番号を優先順位調整手段に通知する最速アクセス判定手段を設けて優先順位を随時調整しているため、複数の処理装置からメモリへのアクセス要求信号が競合した場合、各処理装置間にメモリへのアクセス種類の違いがあっても常に最速にメモリをアクセスすることが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す構成図である。

【図2】最速アクセス判定部22の構成図である。

【図3】本実施形態のメモリアクセス調停装置における、異なるバンクを連続してアクセスするときの動作説明用タイミングチャートである。

【図4】本実形態のメモリアクセス調停装置における、  
同じバンクを連続してアクセスするときの動作説明用タ  
イミングチャートである。

【図5】バンク情報およびリード/ライト情報の2つの組み合わせ全てについて、基本アクセス値を求めた図である。

【図6】基本アクセス値の差分値を求めてデータを圧縮した値を示した図である。

【図7】基本アクセス時間算出値を示した図である。

【図8】加算処理で求めた処理装置1，2，3がとりうる全ての組み合わせの総アクセス時間を示した図であ

【図9】メモリアクセス調停方法を示したフローチャートである。

【図10】本発明の第2の実施形態の構成図である。

【図11】選択信号生成部91および処理要求選択部92の構成を示した図である。

【図12】従来のメモリアクセス調停装置の一例の構成図である。

【符号の説明】

## 12 処理装置の優先順位設定部

### 13 メモリアクセス調停部

## 14 優先順位調整部

15 メモリ

## 16 最速アクセス判定部

91 選択信号生成部

## 92 处理装置選択部

1 1 1, ..., 1 1 n      处理装置

911 優先順位設定値保持部

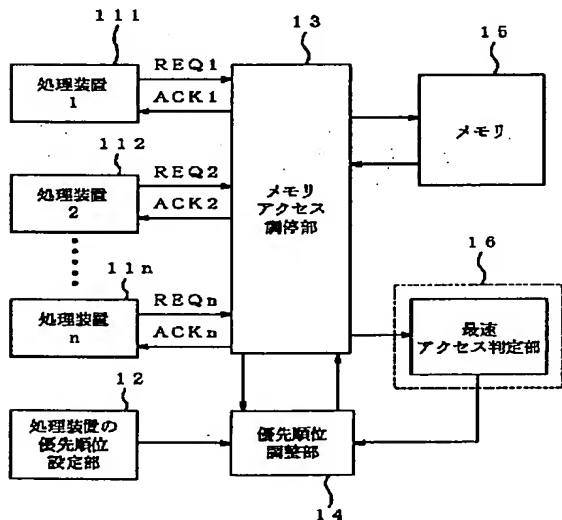
912 優先順位変更部

913 デコード回路

$9211, \dots, 921n$  前段の選択回路

9221, ..., 922n 後段の選択回路

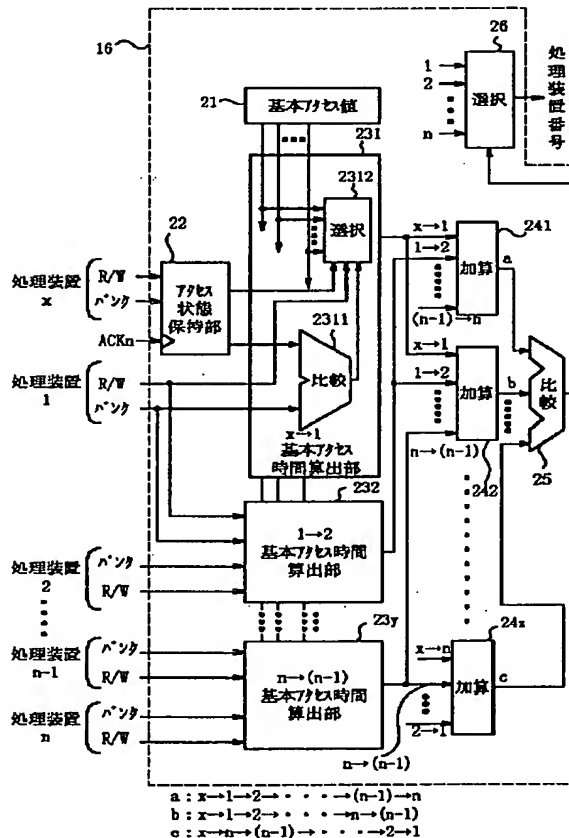
【图1】



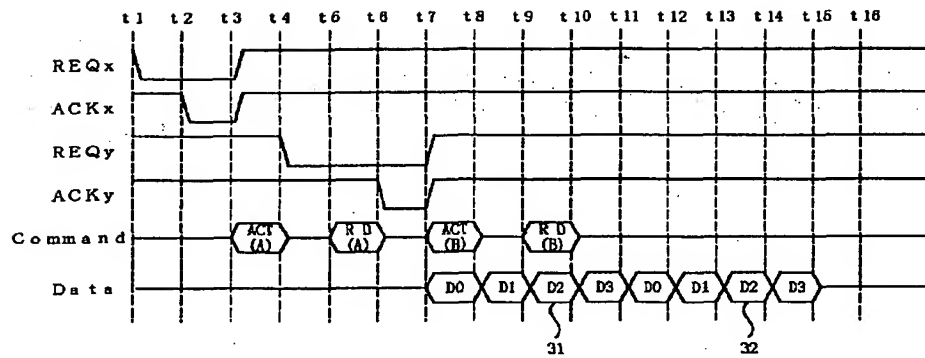
【図5】

	次のアクセス			
	異なるバンク		同じバンク	
現在のアクセス	リード	ライト	リード	ライト
リード	4	7	8	8
ライト	3	4	8	8

【图2】



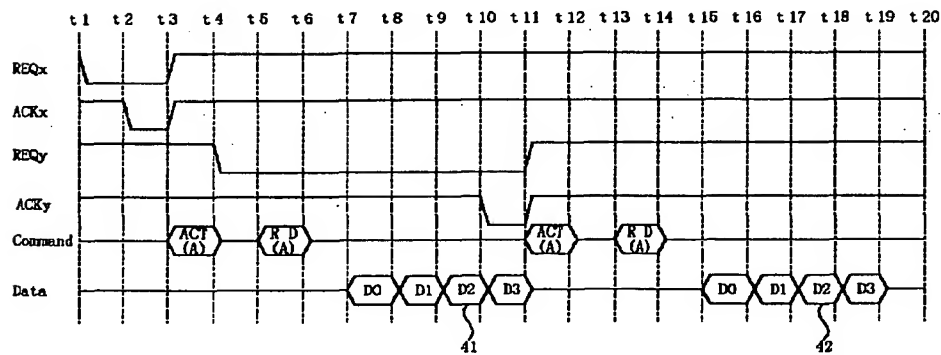
【図3】



【図7】

処理装置	基本アクセス時間
x→1	5
x→2	4
x→3	4
1→2	4
1→3	4
2→1	0
2→3	5
3→1	5
3→2	1

【図4】



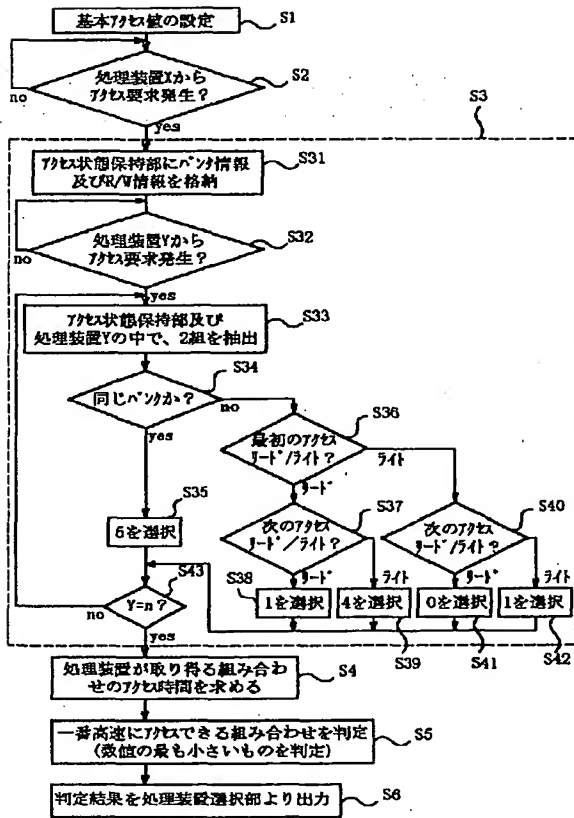
【図6】

	次のアクセス			
	異なるバンク		同じバンク	
現在のアクセス	リード	ライト	リード	ライト
リード	1	4	5	5
ライト	0	1	5	5

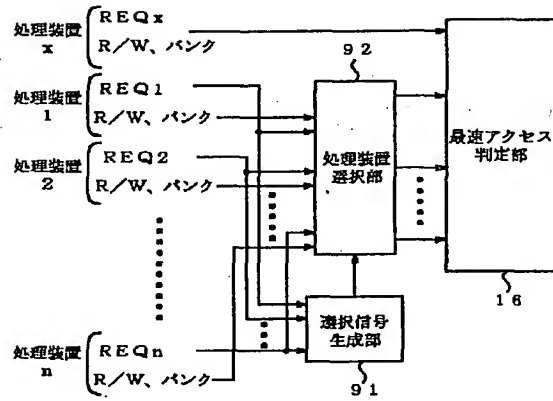
【図8】

アクセス順序	加算	総アクセス時間	最速アクセス順序
x→1→2→3	5+4+5	14	○
x→1→3→2	5+4+1	10	
x→2→1→3	4+0+4	8	
x→2→3→1	4+5+5	14	
x→3→1→2	4+5+4	13	
x→3→2→1	4+1+0	5	

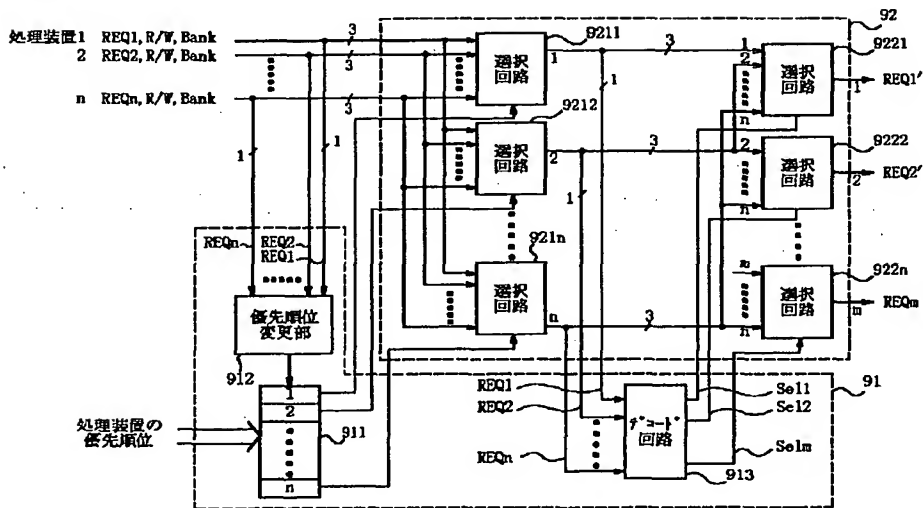
【図9】



【図10】



【図11】



【図12】

